

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-284526

(43)Date of publication of application : 12.10.2001

(51)Int.Cl.

H01L 27/04  
H01L 21/822

(21)Application number : 2000-089634

(71)Applicant : NEC YAMAGATA LTD

(22)Date of filing : 28.03.2000

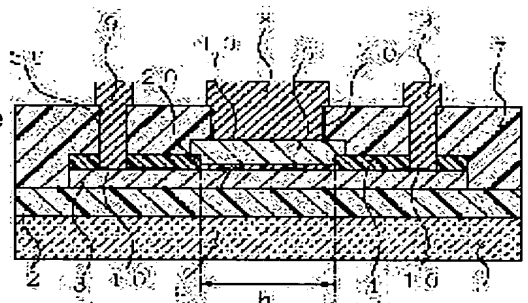
(72)Inventor : KASAHARA TOMOKAZU

## (54) MIM CAPACITOR FOR SEMICONDUCTOR INTEGRATED CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide an MIM capacitor having excellent high frequency characteristics.

**SOLUTION:** A first insulation film 2 and a lower electrode 3 are formed on a semiconductor substrate 1 and then a capacitor film 5 and an upper electrode 6 are formed sequentially in the opening 20 of a second insulation film formed on the lower electrode 3. Subsequently, a third insulation film 7 is formed followed by formation of a first lead out electrode 9 for the lower electrode 3 and a second lead out electrode for the upper electrode 6 thus constituting an MIM capacitor. The first lead out electrode is formed to surround at least three sides of the capacitor film 5 and error of capacitance and phase rotation are reduced at high frequency by defining the width  $h$  of the capacitor film according to a following expression.  $h < (af)^{1/2}$  where,  $a$  is a constant inherent to a process, and  $f$  is maximum working frequency.



1 半導体基板	6 上部電極
2 第1の絶縁膜	7 第2の絶縁膜
3 下部電極	8 第2の絶縁膜の開口部
4 第2の絶縁膜	9 第1のリードアウト電極
5 電容膜	10 第2のリードアウト電極
10 電容膜の幅	

## LEGAL STATUS

[Date of request for examination] 15.02.2001

[Date of sending the examiner's decision of rejection] 03.06.2003

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-284526

(P2001-284526A)

(43) 公開日 平成13年10月12日 (2001. 10. 12)

(51) Int.Cl.<sup>7</sup>

H 0 1 L 27/04

21/822

識別記号

F I

H 0 1 L 27/04

テマコード\* (参考)

C 5 F 0 3 8

審査請求 有 請求項の数 7 O L (全 6 頁)

(21) 出願番号 特願2000-89634 (P2000-89634)

(22) 出願日 平成12年3月28日 (2000. 3. 28)

(71) 出願人 390001915

山形日本電気株式会社

山形県山形市北町4丁目12番12号

(72) 発明者 笠原 朋一

山形県山形市北町四丁目12番12号 山形日本電気株式会社内

(74) 代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム (参考) 5F038 AC04 AC05 AC15 EZ20

(54) 【発明の名称】 半導体集積回路用 M I M 容量装置

(57) 【要約】

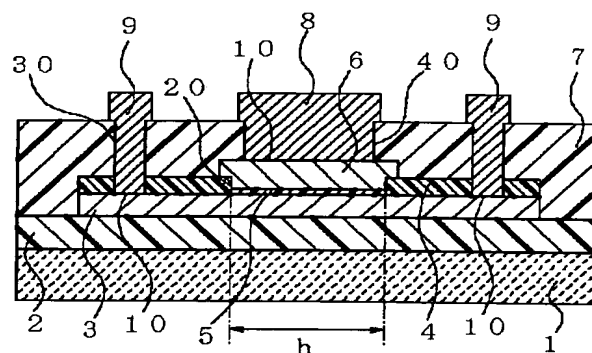
【課題】 高周波特性にすぐれた M I M 容量装置を提供する。

【解決手段】 半導体基板 1 上に第 1 絶縁膜 2、下部電極 3 を形成し、下部電極 3 上の第 2 の絶縁膜の開口 2 0 に容量膜 5、上部電極 6 を順次形成した後、第 3 の絶縁膜 7 を形成し、次いで下部電極 3 用の第 1 の引き出し電極 9、上部電極 6 用の第 2 の引き出し電極を形成して M I M 容量装置を構成する。第 1 の引き出し電極は容量膜 5 の少なくとも 3 方を囲むように形成し、かつ容量膜の幅  $h$  を次式で規定することにより、高周波での容量誤差、位相回りの低減を図った。

【数 5】

$$h < \sqrt{\frac{a}{f}}$$

但し、 $a$  はプロセス固有の定数、 $f$  は使用最大周波数である。



1 : 半導体基板  
2 : 第 1 の絶縁膜  
3 : 下部電極  
4 : 第 2 の絶縁膜  
5 : 誘電体膜  
h : 容量膜の幅

6 : 上部電極  
7 : 第 3 の絶縁膜  
8 : 第 2 の引き出し電極  
9 : 第 1 の引き出し電極  
10 : コンタクト

1

## 【特許請求の範囲】

【請求項1】 半導体基板上に第1の絶縁膜を介して設けられた下部電極と、前記下部電極上に設けられた第2の絶縁膜と、前記第2の絶縁膜の第1の開口の前記下部電極露出面に順次形成された容量膜および上部電極と、前記第1の絶縁膜、前記第2の絶縁膜および前記上部電極を含む前記半導体基板上に形成された第3の絶縁膜と、前記第3の絶縁膜および前記第2の絶縁膜を貫通して設けられた第2の開口に形成され、前記第2の開口の前記下部電極の露出面と電気的に接続し、前記第3の絶縁膜表面に導出された第1の引き出し電極と、前記上部電極上の前記第3の絶縁膜を貫通して設けられた第3の開口に形成され、前記第3の開口の前記上部電極の露出面に電気的に接続し、前記第3の絶縁膜表面に導出された第2の引き出し電極を備え、前記第1の引き出し電極が前記容量膜の少なくとも3方を囲むように連続して形成されており、前記容量膜の幅hが次式で規定されることを特徴する半導体集積回路用MIM容量装置。

【数1】

$$h < \sqrt{\frac{a}{f}}$$

但し、a：プロセス固有の定数、f：使用最大周波数である。

【請求項2】 前記第1の引き出し電極の水平断面構造がコの字状である請求項1記載の半導体集積回路用MIM容量装置。

【請求項3】 前記第1の引き出し電極の水平断面構造が櫛形状である請求項1記載の半導体集積回路用MIM容量装置。

【請求項4】 前記第1の引き出し電極が前記容量膜の4方を囲むように連続して形成されている請求項1記載の半導体集積回路用MIM容量装置。

【請求項5】 前記容量膜が酸化珪素、オキシナイトライド、窒化珪素または高誘電体材料のいずれかで形成されていることを特徴とする請求項1記載の半導体集積回路用MIM容量装置。

【請求項6】 前記下部電極および前記上部電極が多結晶シリコン膜から構成されていることを特徴とする請求項1記載の半導体集積回路用MIM容量装置。

【請求項7】 前記第1および第2の引き出し電極の材料がAl、CuまたはAuのいずれかで構成されていることを特徴とする請求項1記載の半導体集積回路用MIM容量装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路用MIM (Metal Insulator Metal) 容量装置に関し、特に、高周波での容量誤差や位相回りの低減を図ったMIM容量装置の構造に関するものである。

【0002】

2

【従来の技術】従来、MOS容量は、半導体基板上に下部電極を兼ねる拡散層を形成した後、誘電体層を堆積してパターンニングし、次いで上部電極と、全面に酸化膜を順次形成した後、酸化膜の所定の位置に電極導出用の矩形状の開口を形成して、アルミニウム等の金属膜を開口に充填して製造されている。

【0003】従来のMOS容量装置では、高周波の信号を通した場合、MOS容量の持つ内部寄生抵抗から、位相が回りアドミッタンスが減少してしまう。これを解決するために、特開昭58-159367号公報では、容量コンタクトを櫛形に形成し、上記問題点を解決している。

【0004】

【発明が解決しようとする課題】しかしながら、特開昭58-159367号公報のMOS容量装置では、容量コンタクトを櫛形に形成しているものの、そのコンタクトのとり方および有効コンデンサ幅が最適化されておらず、高周波信号を通した場合、やはりアドミッタンスが減少してしまう問題があった。

【0005】本発明の主な目的は、高周波信号を通してアドミッタンス減少によるIC特性劣化を起こさせないための、コンタクトの取り方およびコンデンサ幅を規定した半導体集積回路用MIM容量装置を提供することにある。

【0006】

【課題を解決するための手段】本発明の半導体集積回路用MIM容量装置は、半導体基板上に第1の絶縁膜を介して設けられた下部電極と、前記下部電極上に設けられた第2の絶縁膜と、前記第2の絶縁膜の第1の開口の前記下部電極露出面に順次形成された容量膜および上部電極と、前記第1の絶縁膜、前記第2の絶縁膜および前記上部電極を含む前記半導体基板上に形成された第3の絶縁膜と、前記第3の絶縁膜および前記第2の絶縁膜を貫通して設けられた第2の開口に形成され、前記第2の開口の前記下部電極の露出面と電気的に接続し、前記第3の絶縁膜表面に導出された第1の引き出し電極と、前記上部電極上の前記第3の絶縁膜を貫通して設けられた第3の開口に形成され、前記第3の開口の前記上部電極の露出面に電気的に接続し、前記第3の絶縁膜表面に導出された第2の引き出し電極を備え、前記第1の引き出し電極が前記容量膜の少なくとも3方を囲むように連続して形成されており、前記容量膜の幅hが次式で規定されることを特徴として構成される。

【0007】

【数2】

$$h < \sqrt{\frac{a}{f}}$$

【0008】但し、a：プロセス固有の定数、f：使用最大周波数である。

【0009】上記の構成において、前記第1の引き出し

3

電極の水平断面構造は、コの字状、櫛形状を使用することができ、また前記第1の引き出し電極は前記容量膜の4方を囲むように連続して形成された構造とすることでよい。

【0010】前記下部電極および上部電極の材料としては、多結晶シリコン膜が使用される。下部電極を構成する多結晶シリコン膜は低抵抗化のために、ボロン、リン、砒素などの不純物イオンを注入して使用される。

【0011】前記容量膜としては酸化珪素 ( $\text{SiO}_2$ )、オキシナイトライド ( $\text{SiON}$ )、窒化珪素 ( $\text{SiN}$ ) または高誘電体材料などの誘電体材料を使用できる。高誘電体材料としては、 $\text{PZT}$  ( $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ )、 $\text{PLZT}$  ( $\text{Pb}_{1-x}\text{La}_x\text{Zr}_{1-y}\text{Ti}_y\text{O}_3$ )、 $\text{BTO}$  ( $\text{BaTiO}_3$ )、 $\text{BST}$  ( $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ )、 $\text{STO}$  ( $\text{SrTiO}_3$ ) などを使用することができる。

【0012】また、前記第1および第2の引き出し電極の材料としては、 $\text{Al}$ 、 $\text{Cu}$ 、 $\text{Au}$ などの金属材料が使用できる。

【0013】本発明では、第1の引き出し電極の下部電極とのコンタクトを容量膜の少なくとも3方を囲むよう形成するとともに、容量膜 (コンデンサ) の幅 ( $h$ ) を上式 (式2) を満足するよう規定することにより、高周波での容量誤差、位相回りの低減を図ることができる。

【0014】従って、本発明によれば、従来のMIM容量装置に比べ回路定数のずれがなくなり、半導体集積回路としての特性を向上させることができる。

【0015】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。

【0016】図1は、本発明の第1の実施の形態のMIM容量装置の断面図である。図1のように、本実施の形態のMIM容量装置は、半導体基板1上に形成された $\text{SiO}_2$ などからなる第1の絶縁膜2を介して設けられた多結晶シリコン膜からなる下部電極3と、下部電極3上に設けられた $\text{SiO}_2$ などからなる第2の絶縁膜4と、第2の絶縁膜4の開口20の下部電極3の露出面に順次形成された容量膜5および多結晶シリコン膜からなる上部電極6と、第1の絶縁膜2、第2の絶縁膜4および上部電極6を含む半導体基板上に形成されたテトラエトキシオルソシリケート ( $\text{TEOS}$ ) などの材料から形成された第3の絶縁膜7と、第3の絶縁膜7および第2の絶縁膜4を貫通して設けられた開口30に形成され、開口30の下部電極3の露出面と電気的に接続し、第3の絶縁膜7表面に導出された第1の引き出し電極9と、上部電極6上の第3の絶縁膜7を貫通して設けられた開口40に形成され、開口40の上部電極6の露出面に電気的に接続し、第3の絶縁膜7表面に導出された第2の引き出し電極8とから構成されている。

【0017】図2は図1のMIM容量装置の平面図であ

4

るが、本実施の形態のMIM容量装置は、第1の引き出し電極9が容量膜5の3方を囲むように連続して形成されており、また、容量膜5は、その幅 $h$ が次式を満足するようにパターンニングされている。

【0018】

【数3】

$$h < \sqrt{\frac{a}{f}}$$

【0019】但し、 $a$ ：プロセス固有の定数、 $f$ ：使用最大周波数である。

【0020】下部電極3の多結晶シリコン膜は形成後、ボロン、リン、砒素などの不純物イオンを注入して低抵抗化される。

【0021】第1および第2の引き出し電極の材料には、アルミニウム ( $\text{Al}$ )、銅 ( $\text{Cu}$ )、金 ( $\text{Au}$ ) などの金属材料が使用される。また容量膜5の材料には、酸化珪素 ( $\text{SiO}_2$ )、オキシナイトライド ( $\text{SiON}$ )、窒化珪素 ( $\text{SiN}$ ) または高誘電体材料などの誘電体材料を使用できる。高誘電体材料としては、 $\text{PZT}$  ( $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ )、 $\text{PLZT}$  ( $\text{Pb}_{1-x}\text{La}_x\text{Zr}_{1-y}\text{Ti}_y\text{O}_3$ )、 $\text{BTO}$  ( $\text{BaTiO}_3$ )、 $\text{BST}$  ( $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ )、 $\text{STO}$  ( $\text{SrTiO}_3$ ) などを使用することができる。なお、図1における符号10は下部電極3と第1の引き出し電極9および上部電極6と第2の引き出し電極8のコンタクトを示す。

【0022】次に、上記に第1の実施の形態のMIM容量装置の製造方法について図1を参照して説明する。

【0023】まず、P型シリコン基板からなる半導体基板1上に、 $\text{SiO}_2$ からなる第1の絶縁膜2を厚さ200~1000nmに形成する。次に、その第1の絶縁膜2上に多結晶シリコン膜3を厚さ300~500nm成長させ、低抵抗化のためボロン、リン、砒素などの不純物によるイオン注入を行う。また、この時の多結晶シリコン膜は、NPN、PNPトランジスタのベース引き出し部と共用して形成することが可能である。

【0024】次に、多結晶シリコン膜からなる下部電極3上に $\text{SiO}_2$ からなる第2の絶縁膜4を厚さ200~300nm形成し、フォトリソマスクで容量部となる部分の第2の絶縁膜4をエッチングして開口20を形成する。

【0025】その後、容量膜5 (例えば窒化珪素膜) を厚さ約100nm、上部電極6となる多結晶シリコン膜を厚さ300~500nm成長させる。この時、容量膜5としては、回路上要求される耐圧、および誘電率 $\epsilon$ の組み合わせより、任意に選択でき、窒化シリコン膜の他に酸化珪素 ( $\text{SiO}_2$ )、オキシナイトライド ( $\text{SiON}$ )、または $\text{PZT}$  ( $\text{PbZr}_{1-x}\text{Ti}_x\text{O}_3$ )、 $\text{PLZT}$  ( $\text{Pb}_{1-x}\text{La}_x\text{Zr}_{1-y}\text{Ti}_y\text{O}_3$ )、 $\text{BTO}$  ( $\text{BaTiO}_3$ )、 $\text{BST}$  ( $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ )、 $\text{STO}$  ( $\text{SrTiO}_3$ ) などの高誘電体材料から選択して使用でき

5

る。

【0026】次に、上部電極となる多結晶シリコン膜をエッチングしてパターニングした後、第3の絶縁膜7

(例えばTEOSを材料として使用)を厚さ約1000nmを形成後、下部電極3および上部電極6の表面に達する開口30、40をエッチングにより形成する。

【0027】そして、最後にAl、CuあるいはAuの導電材料で開口30、40を充填してパターニングして、下部電極3および上部電極6の引き出し電極である第1の引き出し電極9および第2の引き出し電極8をそれぞれ形成してMIM容量装置が完成する。なお、開口30は図2のように第1の引き出し電極9が容量膜5の3方を囲むように溝状に形成される。

【0028】また、開口20は容量膜5の幅h(図2参照)が次式を満足するように、MIM容量装置を構成する材料を考慮して形成される。

【0029】

【数4】

$$h < \sqrt{\frac{a}{f}}$$

【0030】但し、aはプロセス固有の定数であり、fは使用最大周波数である。

【0031】なお、上式のコンデンサ幅(h)と使用する周波数(f)の関係式は、図3に示す分布定数モデルより導出される。

【0032】次に、本発明の第2の実施の形態のMIM容量装置について図4の平面図を参照して説明する。本実施の形態では、下部電極3上に幅hの容量膜5を2個横に並べ、第1の引き出し電極9を図4のように、櫛形状に形成した場合である。容量膜5の幅hは上記の第1の実施の形態と同様な使用最大周波数fとの関係式を満足するように規定される。

【0033】また、上記の第2の実施の形態のMIM容量装置は、上記の第1の実施の形態と同様な製造方法によって製造される。

【0034】上記の第1および第2の実施の形態のMIM容量装置では、従来タイプの容量に比べ回路定数のずれがなくなり、ICとしての特性が向上する。

【0035】次に本発明の第3の実施の形態のMIM容量装置について図面を参照して説明する。

【0036】図5は、本発明の第3の実施の形態のMIM容量装置の平面図である。図5(a)は平面図、図5(b)は図5(a)のA-A'線に沿った断面図である。

【0037】本実施の形態では、上記第1および第2の実施の形態のそれぞれ図2、4に示すMIM容量装置がコ字状および櫛形状の第1の引き出し電極の構造に対して、第1の引き出し電極9を四方から引き出した場合である。第1の引き出し電極を四方から引き出すことによ

6

り、上記の実施の形態と比較して、高周波特性をより向上することができる。この時、第1の引き出し電極9とのショートを避けるために、上部電極6は第2の引き出し電極8と上部電極6上に形成した第4の絶縁膜13

(例えばTEOSを材料として使用)中に形成したスルーホール11を介して接続した第3の引き出し電極12とにより引き出される。

【0038】また、第1の引き出し電極9もスルーホールを介して接続した第4の引き出し電極14により引き出される。第3および第4の引き出し電極の材料としては、上記の実施の形態の第1および第2の引き出し電極と同様なAl、Cu、Auなどの金属材料が使用できる。その他の工程については上記の第1の実施の形態と同様である。

【0039】

【発明の効果】以上説明したように、本発明によれば、MIM容量装置の下部電極の引き出し電極構造を少なくと容量膜の3方を囲むように導出し、かつ使用周波数によるコンデンサ幅を規定することにより、従来タイプのMOS容量に比べ回路定数のずれがなくなり、ICとしての特性が向上する効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態の半導体集積回路用MIM容量装置の断面図である。

【図2】図1の半導体集積回路用MIM容量装置の平面図である。

【図3】図2の半導体集積回路用MIM容量装置の分布定数回路図である。

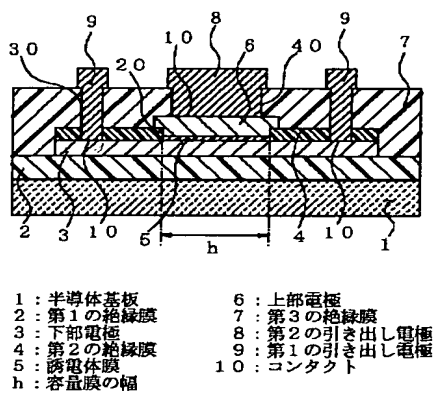
【図4】本発明の第2の実施の形態の半導体集積回路用MIM容量装置の平面図である。

【図5】本発明の第3の実施の形態の半導体集積回路用MIM容量装置の平面図(a)および断面図(b)である。

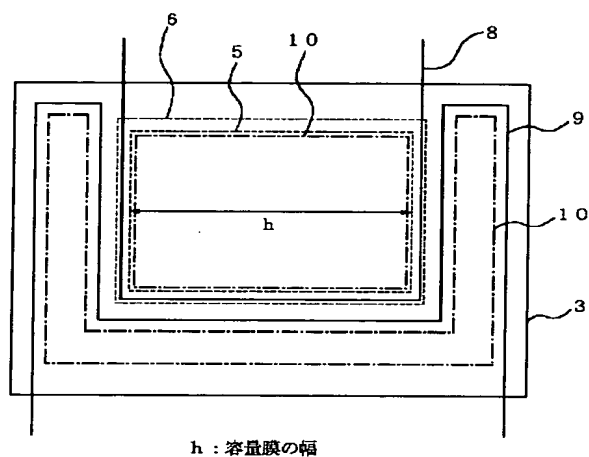
【符号の説明】

- 1 半導体基板
- 2 第1の絶縁膜
- 3 下部電極
- 4 第2の絶縁膜
- 5 容量膜
- 6 上部電極
- 7 第3の絶縁膜
- 8 第2の引き出し電極
- 9 第1の引き出し電極
- 10 コンタクト
- 11 スルーホール
- 12 第3の引き出し電極
- 13 第4の絶縁膜
- 14 第4の引き出し電極

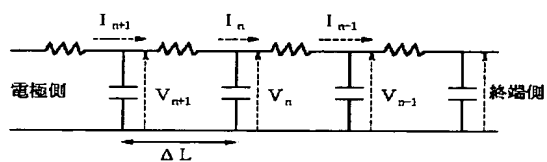
【図1】



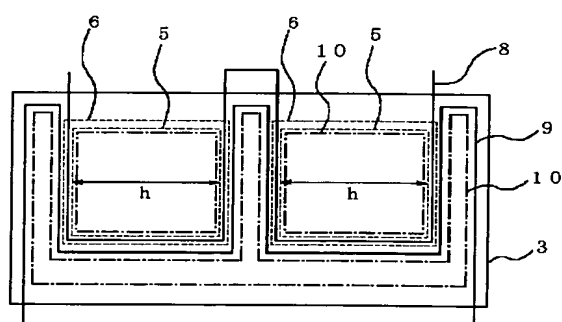
【図2】



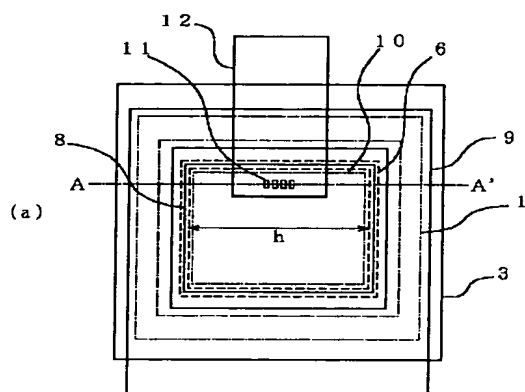
【図3】



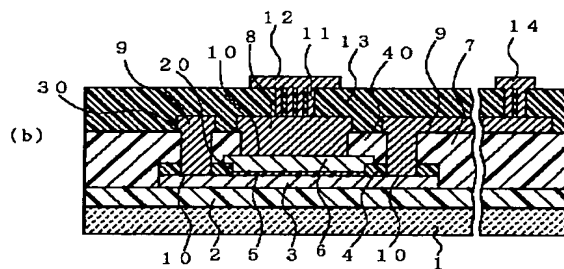
【図4】



【図5】



11 : スルーホール  
12 : 第3の引き出し電極



13 : 第4の絶縁膜  
14 : 第4の引き出し電極